プロジェクト実験 P2 CPU の論理設計　　岡本 吉央
平成 18 年 12 月 1 日　　ガイダンス

1　目的

VLSI (Very Large Scale Integration) の設計は論理ゲートレベルでの回路図を用いて行なわれていると思われるかもしれない．しかし，それでは回路規模が大きく複雑になると設計工数も増え，設計作業それ自身も煩雑になる．VLSI のますますの高集積化の傾向を考えると，論理ゲートレベルでの設計は有効でない．したがって，これに代わるより効率のよい設計手法として標準的になっている手法は，VLSI の動作や構造をハードウエア記述言語 (HDL，Hardware Description Language) と呼ばれる言語で記述し，論理合成と呼ばれる方法で論理ゲートレベルでの VLSI の記述を生成するものである．

本実験では，HDL の中でも業界標準として最も広く普及している VHDL (VHSIC HDL) により 16 ビット CPU を設計し，VLSI 論理設計の基礎を習得することを目的とする．

2　実験の流れ

本実験ではまず，VHDL の概要および記述方法について簡単な回路を例にして習得する．次に，指定した仕様の CPU の各モジュールについて，論理合成可能なレベルでの VHDL 記述を行なう．具体的には，ビヘイビアレベルで記述されたコードを参考にして，論理合成可能なレベルで記述されたコードの欠けた部分を穴埋め方式で完成させる．最後に完成したモジュールをまとめて CPU を完成させ，その動作確認を行なう．なお，本実験では VHDL の記述法について一通り説明が終わった段階で，その習得度を確認する意味で中間レポートの提出を求める．

3　ソフトウエア工学的な事項

- 「仕様」と「設計」
- 「トップダウン」と「ボトムアップ」
- 検証 (Verification & Validation，V&V) と検査

4　関連科目

論理回路 II (1 学期)，プログラム構成法 (1 学期)，計算機構成論 I (1 学期)，計算機構成論 II (4 年 1 学期)，情報工学実験 I の H1，H2 およびソフトウエア実験 (1，2 学期)，など

5　参考書

- 長谷川裕恭，VHDL によるハードウェア設計入門，CQ 出版，1995．(常に参照するサブテキスト．本日貸し出す予定．)
- 柴山潔，コンピュータサイエンスで学ぶ論理回路とその設計，近代科学社，1999．(論理回路 II の教科書．第 4 章に HDL の簡単な説明あり．)
- D. パターソン，J. ヘネシー，コンピュータの構成と設計 (第 3 版)，日経 BP 社，2006 年．(アーキテクチャに関する現代的な教科書．詳しい．)

6　予習

出来るだけ早急に (遅くても 12 月 12 日までに) サブテキストの第 3 章の終わりまで読んで来る．VHDL 自体の説明をする時間はあまりないので，十分に予習をすることが重要である．本実験に際して第 4 章から第 7 章を読むことを要求はしないが，読んでおくと理解が一層深まるので推奨する．なお，サブテキストは学期末のレポート提出と同時に返却すること．サブテキストが返却されないとレポートを受理しない．

7　担当者

教員　岡本 吉央　C-515　内線 5437
okamotoy@ics.tut.ac.jp
TA　白幡 和也　C3-402　内線 6829
shirahata@algo.ics.tut.ac.jp